

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0085419
Application Number

출원년월일 : 2002년 12월 27일
Date of Application DEC 27, 2002

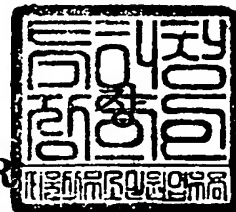
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002. 12. 27
【발명의 명칭】	반도체 소자의 소자 분리막 및 그 형성 방법
【발명의 영문명칭】	Semiconductor device and a method of manufacturing the same
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	임관용
【성명의 영문표기】	LIM, Kwan Yong
【주민등록번호】	700925-1457214
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을 주공아파트 139동 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	조흥재
【성명의 영문표기】	CHO, Heung Jae
【주민등록번호】	700123-1122410
【우편번호】	467-850
【주소】	경기도 이천시 대월면 현대전자 사원아파트 105-904
【국적】	KR
【발명자】	
【성명의 국문표기】	이정호
【성명의 영문표기】	LEE, Jung Ho

【주민등록번호】 650224-1069125
【우편번호】 139-243
【주소】 서울특별시 노원구 공릉3동 풍림아파트 105-604
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
신영무 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 4 면 4,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 11 항 461,000 원
【합계】 494,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 질화물이나 산화물과 식각 선택비가 다르고 게이트 산화막을 형성하기 전 세정 공정 시 식각되지 않는 물질로 소자 분리막의 상부 가장자리에 식각 방지막을 형성함으로써, 소자 분리막의 상부 가장자리에 모우트(Moat)가 형성되는 것을 방지함과 동시에 게이트 산화막이 얇게 형성되는 것을 방지하여 소자의 신뢰성 및 전기적 특성을 향상시킬 수 있는 반도체 소자 및 그 제조 방법이 개시된다.

【대표도】

도 2

【색인어】

소자 분리막, 모우트, 식각 방지막, 누설 전류, 전계 집중

【명세서】**【발명의 명칭】**

반도체 소자의 소자 분리막 및 그 형성 방법{Semiconductor device and a method of manufacturing the same}

【도면의 간단한 설명】

도 1은 소자 분리막의 상부 가장자리에 모우트가 발생된 상태를 보여주는 단면 샘플 사진이다.

도 2는 본 발명의 실시예에 따른 반도체 소자의 소자 분리막을 설명하기 위한 소자의 단면도이다.

도 3a 내지 도 3e는 본 발명의 실시예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도이다.

도 4a 내지 도 4f는 본 발명의 다른 실시예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

201, 301, 401 : 반도체 기판

202, 302, 402 : 절연물질층, 소자분리막

206, 303, 406 : 식각 방지막, 규산염막

403 : 고유전 절연막 304, 404 : 활성 영역

205, 305, 405 : 활성 영역층 405a : 실리콘 과도성장층

207, 306, 407 : 게이트 산화막 208, 307, 408 : 폴리실리콘층

209, 308, 409 : 확산방지 금속층

210, 309, 410 : 금속층 211, 310, 411 : 하드 마스크

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히 소자 분리막의 상부 가장 자리에 모우트(Moat)가 발생하는 것을 방지할 수 있는 반도체 소자 및 그 제조 방법에 관한 것이다.

<15> 모든 반도체 소자에서는 각종 소자를 전기적으로 분리하기 위하여 소자 분리막을 형성한다. 종래에는 소자 분리막을 LOCOS(Local oxidation) 공정으로 형성하였으나, 이러한 경우 소자 분리막의 가장 자리에서 버즈 빅(Bird's beak)이 발생되어 소자의 전기적 특성 및 집적도를 저하시키는 문제점이 발생된다.

<16> 반도체 소자가 고집적화 되어감에 따라, 소자 분리막에 버즈 빅이 발생하는 것을 방지하면서 소자 분리막이 차지하는 면적을 최소화할 수 있도록 소자 분리막을 STI(Shallow Trench Isolation) 구조로 형성한다.

- <17> 소자 분리막을 STI 구조로 형성할 경우, 하드 마스크(Hard Mask)인 패드 질화막을 제거하는 식각 공정과 게이트 산화막을 형성하기 전 세정 공정(Gate oxide pre-cleaning) 시에 소자 분리막의 상부 가장 자리에 모우트(Moat)가 형성되는 문제점이 발생된다.
- <18> 도 1은 소자 분리막의 상부 가장자리에 모우트가 발생한 상태를 보여주는 단면 SEM 사진이다. 도 1을 참조하면, 패드 질화막을 제거하는 식각 공정과 게이트 산화막을 형성하기 전 세정 공정 시 소자 분리막의 상부 가장자리가 식각되어 모우트가 형성되는 것을 알 수 있다. 이렇게 소자 분리막의 상부 가장자리가 모우트가 형성되면, 게이트를 형성하기 위하여 전도성 물질층을 패터닝하는 과정에서 식각물이 모우트에 잔류하여 결함이 발생되거나 소자의 전기적 특성 및 신뢰성을 저하시킨다. 또한, 반도체 소자가 형성되는 반도체 기판의 활성 영역의 가장자리가 뾰족하게 노출되기 때문에, 뾰족한 부분에 게이트 산화막이 얇게 형성된다. 이로 인해, 게이트 산화막이 얇게 형성된 부분에서 누설전류가 발생되고 소자의 문턱전압이 변하여 소자의 신뢰성 및 전기적 특성이 저하된다.
- <19> 그리고, 디자인 룰이 작아져 MOSFET 소자의 폭이 좁아질수록 활성 영역의 전체 면적에 비하여 게이트 산화막이 얇게 형성되는 면적의 비율이 상대적으로 증가하기 때문에, 게이트 산화막이 얇게 형성된 부분에 전계가 집중되어 INWE(Inverse-Narrow Width Effect) 등의 치명적인 문제가 발생할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 질화물이나 산화물과 식각 선택비가 다르고 게이트 산화막을 형성하기 전 세정 공정 시 식각되지 않는 물질로 소자 분리막의 상부 가장자리에 식각 방지막을 형성함으로써, 소자 분리막의 상부 가장자리에 모우트(Moat)가 형성되는 것을 방지함과 동시에 게이트 산화막이 얇게 형성되는 것을 방지하여 소자의 신뢰성 및 전기적 특성을 향상시킬 수 있는 반도체 소자 및 그 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<21> 본 발명의 실시예에 따른 반도체 소자는 소자 분리 영역의 반도체 기판 상부에 구비된 절연물질층으로 이루어진 소자 분리막과, 소자 분리막 사이의 반도체 기판 상부에 구비된 활성 영역층 및 소자 분리막의 상부 가장 자리에 구비된 식각 방지막을 포함한다.

<22> 상기에서, 활성 영역층은 실리콘 에피 성장층, 실리콘-게르마늄 에피 성장층 또는 이들의 적층 구조로 이루어진다.

<23> 식각 방지막은 규산염막 또는 실리콘 질화막으로 이루어지며, 규산염막은 $AlSi_xO_y$, $HfSi_xO_y$, YSi_xO_y , $CeSi_xO_y$ 또는 $TaSi_xO_y$ 으로 이루어지거나, 이들 중 적어도 하나 이상이 혼합된 혼합물로 이루어진다. 이때, 조성비 X는 0.05 내지 10이고, 조성비 Y는 0.05 내지 10이다.

- <24> 식각 방지막이 형성되지 않은 소자 분리막의 상부에는 고유전 절연막이 더 구비될 수 있다. 고유전 절연막은 Al_2O_3 , HfO_2 , ZrO_2 , Y_2O_3 , CeO_2 또는 Ta_2O_5 로 이루어지거나, 이들 중 적어도 하나 이상이 혼합된 혼합물로 이루어진다.
- <25> 본 발명의 실시예에 따른 반도체 소자의 제조 방법은 반도체 기판의 전체 상부에 절연 물질층 및 식각 방지막을 순차적으로 형성하는 단계와, 식각 공정으로 식각 방지막 및 절연 물질층을 소자분리 영역에만 잔류시켜 절연 물질층으로 이루어진 소자 분리막을 형성하는 단계 및 소자 분리막 사이에 반도체 소자가 형성될 활성 영역층을 형성하는 단계를 포함한다.
- <26> 상기에서, 식각 방지막은 규산염막 또는 실리콘 질화막으로 형성할 수 있다. 이때, 규산염막은 AlSi_xO_y , HfSi_xO_y , YSi_xO_y , CeSi_xO_y 또는 TaSi_xO_y 으로 이루어지거나, 이들 중 적어도 하나 이상이 혼합된 혼합물로 형성할 수 있으며, 조성비 X는 0.05 내지 10이고, 조성비 Y는 0.05 내지 10의 값을 가질 수 있다.
- <27> 한편, 식각 방지막을 형성한 후 식각 공정을 실시하기 전이나, 식각 공정을 실시한 후 활성 영역층을 형성하기 전에, N_2 , O_2 , O_3 , H_2 , D_2 , H_2O , D_2O , NO , N_2O 또는 그 혼합기체 등의 분위기에서 600 내지 1000℃의 온도로 20초 내지 60분 동안 어닐링을 실시하는 단계를 더 포함할 수 있다.
- <28> 본 발명의 다른 실시예에 따른 반도체 소자의 제조 방법은 반도체 기판의 전체 상부에 절연 물질층 및 고유전 절연막을 순차적으로 형성하는 단계와, 식각 공정으로 고유

전 절연막 및 절연 물질층을 소자분리 영역에만 잔류시켜 절연 물질층으로 이루어진 소자 분리막을 형성하는 단계 및 선택적 에피 성장 공정으로 소자 분리막 사이의 반도체 기판 상부에 실리콘이 포함된 활성 영역층을 과도하게 성장시켜 활성 영역층을 고유전 절연막의 상부 가장자리에까지 형성하고, 활성 영역층의 실리콘 성분과 고유전 절연막의 반응을 통해 소자 분리막의 상부 가장자리에 식각 방지막을 형성하는 단계를 포함한다.

<29> 상기에서, 고유전 절연막은 Al_2O_3 , HfO_2 , ZrO_2 , Y_2O_3 , CeO_2 , Ta_2O_5 또는 이들의 혼합물 중 어느 하나로 형성할 수 있으며, 식각 방지막은 규산염막으로 형성된다.

<30> 한편, 활성 영역층은 선택적 에피 성장 공정으로 형성하며, 실리콘층을 성장시키거나, 실리콘-게르마늄층을 성장시키거나, 실리콘-게르마늄층을 먼저 성장시킨 후 실리콘층을 성장시켜 형성할 수 있다. 이때, 선택적 에피 성장 공정에서 SiH_4 또는 SiH_2Cl_2 와 Cl_2 기체를 반응기체로 사용할 수 있다.

<31> 활성 영역층을 형성한 후에는, 소자 분리막보다 높게 형성된 활성 영역층을 화학적 기계적 연마 공정으로 제거하는 단계 및 연마 손상을 완화시키고 소자 분리막과 활성 영역층 사이의 계면 특성을 향상시키기 위하여 어닐링을 실시하는 단계를 더 포함할 수 있다.

<32> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의

지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<33> 도 2는 본 발명의 실시예에 따른 반도체 소자의 소자 분리막을 설명하기 위한 소자의 단면도이다.

<34> 도 2를 참조하면, 본 발명의 실시예에 따른 반도체 소자는 소자 분리 영역의 반도체 기판(201) 상부에 구비된 절연물질층으로 이루어진 소자 분리막(202)과, 소자 분리막(202) 사이의 반도체 기판(201) 상부에 구비된 활성 영역층(205)과, 소자 분리막(202)의 상부 가장 자리에 구비된 식각 방지막(206)을 포함한다. 추가로, 식각 방지막(206)이 형성되지 않은 소자 분리막(202)의 상부에는 고유전 절연막(도시되지 않음)이 구비될 수 있다.

<35> 한편, 미설명된 도면부호 207은 활성 영역층(205) 상부에 트랜지스터를 제조하는 과정에서 형성된 게이트 산화막이고, 208은 폴리실리콘층이고, 209는 확산방지 금속층이고, 210은 실리콘사이드층이나 전극을 형성하기 위한 금속층(210)이고, 211은 하드 마스크이다.

<36> 상기에서, 활성 영역층(205)은 실리콘 에피 성장층, 실리콘-게르마늄 에피 성장층 또는 이들의 적층 구조로 형성할 수 있다. 한편, 식각 방지막(206)은 질화물이나 산화물과 식각 선택비가 다르고, 게이트 산화막(207)을 형성하기 전에 실시하는 세정 공정에서 식각되지 않는 물질로 이루어지며, 바람직하게는

규산염(Silicate)으로 이루어진 규산염막이나 실리콘 질화(Si_3N_4)막으로 형성할 수 있다. 이때, 규산염막은 AlSixO_y , HfSixO_y , YSixO_y , CeSixO_y 또는 TaSixO_y 으로 이루어지거나, 이들 중 적어도 하나 이상이 혼합된 혼합물로 이루어지며, 조성비 X는 0.05 내지 10, Y는 0.05 내지 10의 값을 가질 수 있다. 또한, 소자 분리막(202)의 상부에 구비되는 고유전 절연막은 Al_2O_3 , HfO_2 , ZrO_2 , Y_2O_3 , CeO_2 또는 Ta_2O_5 로 이루어지거나, 이들 중 적어도 하나 이상이 혼합된 혼합물로 이루어진다.

<37> 이렇게, 소자 분리막(202)의 상부 가장 자리에 식각 방지막(206)을 구비함으로써, 소자 분리막(202)을 소자분리 영역에만 잔류시키기 위한 패터닝 공정이나 게이트 산화막(207)을 형성하기 위한 전세정 공정 시 소자 분리막의 상부 모서리가 식각되는 것을 방지할 수 있다. 따라서, 소자 분리막(202)의 상부 가장 자리에 모우트(Moat)가 발생하는 것을 방지하고 소자 분리막(202)의 상부 가장 자리에서 게이트 산화막(207)이 얇게 형성되는 것을 방지할 수 있다. 또한, 게이트 산화막(207)이 얇게 형성되는 것을 방지하므로, 누설 전류가 발생하는 것을 방지할 수 있다.

<38> 한편, 첨부된 도면을 참조하여 소자 분리막의 상부 가장 자리에 식각 방지막이 구비된 반도체 소자의 제조 방법에 대한 실시예를 설명하면 다음과 같다.

<39> 도 3a 내지 도 3e는 본 발명의 실시예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도이다.

<40> 도 3a를 참조하면, 반도체 기판(301)의 전체 상부에 절연 물질층(302)을 형성한 후, 절연 물질층(302)의 상부에는 식각 방지막(303)을 형성한다. 여기서, 절연 물질층

(302)은 실리콘 산화막으로 형성할 수 있다. 한편, 식각 방지막(303)은 질화물이나 산화물과 식각 선택비가 다르고, 게이트 산화막을 형성하기 전에 실시하는 세정 공정에서 식각되지 않는 물질로 이루어지며, 바람직하게는 규산염(Silicate)으로 이루어진 규산염막이나 실리콘 질화막(Si_3N_4)으로 형성할 수 있다. 이때, 규산염막은 AlSi_xO_y , HfSi_xO_y , YSi_xO_y , CeSi_xO_y 또는 TaSi_xO_y 으로 이루어지거나, 이들 중 적어도 하나 이상이 혼합된 혼합물로 이루어지며, 조성비 X는 0.05 내지 10, Y는 0.05 내지 10의 값을 가질 수 있다. 규산염으로 이루어진 식각 방지막(303)을 형성한 후에는 산화물 습식 식각(Oxide wet-etch)에 대한 내식성을 증가시키기 위하여, N_2 , O_2 , O_3 , H_2 , D_2 (deuterium), H_2O , D_2O , NO , N_2O 또는 그 혼합기체 등의 분위기에서 600 내지 1000℃의 온도로 20초 내지 60분 동안 어닐링을 실시할 수 있다.

<41> 도 3b를 참조하면, 식각 방지막(303) 상부에 반도체 소자가 형성될 활성 영역(304)이 개방되는 포토레지스트 패턴(도시되지 않음)을 형성한 후 이를 식각 마스크로 이용하여 활성 영역(304) 영역의 식각 방지막(303) 및 절연 물질층(302)을 제거한다. 이후, 포토레지스트 패턴을 제거한다. 이로써, 절연물질층은 소자분리 영역에만 잔류되어 절연물질층으로 이루어진 소자 분리막(302)이 반도체 기판(301) 상부에 형성되며, 활성영역(304)에서는 반도체 기판(301)의 표면에 노출된다.

<42> 이후, 활성 영역(304)의 절연물질층을 제거한 후에는 소자 분리막(302)이나 반도체 기판(301)의 표면에 발생된 식각 손상(Etch damage)을 완화시키기 위하여 700 내지 1100℃의 온도로 5 내지 60분 동안 어닐링을 실시할 수 있다. 이때, 어닐링 공정은 N_2 , O_2 , O_3 , H_2 , D_2 (deuterium), H_2O , D_2O , NO , N_2O 또는 그 혼합기체 등의 분위기에서 실시할 수 있다.

- <43> 도 3c를 참조하면, 활성 영역에 활성 영역층(305)을 형성하여 소자 분리막(302) 사이의 공간을 활성 영역층(305)으로 매립한다. 이때, 활성 영역(305)을 형성하기 전에 활성 영역(도 3b의 304)의 반도체 기판(301) 표면에 형성된 자연 산화막이나 잔류 산화물을 먼저 제거할 수도 있다.
- <44> 한편, 활성 영역층(305)은 선택적 에피 성장(Selective epitaxial growth; SEG) 방법으로 활성 영역의 반도체 기판(301) 상부에 실리콘을 성장시킨 실리콘 성장층으로 형성할 수 있다. 선택적 에피 성장 공정은 반응기체로 SiH_4 또는 SiH_2Cl_2 와 Cl_2 기체를 사용할 수 있다. 이때, 선택적 에피 성장 공정으로 실리콘을 성장시켜 활성 영역층(305)을 형성하면, 실리콘이 과도하게 성장되어 활성 영역층(305)의 높이가 소자 분리막(302)의 높이보다 높아질 수 있다. 이 경우에는, 활성 영역층(305)을 형성한 후에 화학적 기계적 연마 공정으로 활성 영역층(305)의 과도 성장 부위(도시되지 않음)를 제거하여 평탄화시킨다. 화학적 기계적 연마 공정을 실시한 후에는 연마 손상을 완화시키고 소자 분리막(302)과 활성 영역층(305) 사이의 계면 특성을 향상시키기 위하여 700 내지 1100℃의 온도로 5 내지 60분 동안 어닐링을 실시한다. 이때, 어닐링 공정은 H_2 , D_2 , N_2 또는 이들의 혼합 기체 분위기에서 실시한다.
- <45> 활성 영역층(305)을 형성하는 또 다른 방법으로는 실리콘 성장층 대신에 실리콘-게르마늄(Epi-SiGe)층을 성장시켜 활성 영역층(305)을 형성하거나, 실리콘-게르마늄층을 먼저 성장시킨 후 실리콘층을 성장시켜 채널층이 강제 SiGe 채널(Strained SiGe channel)층으로 형성되도록 할 수도 있다.
- <46> 상기에서 화학적 기계적 연마 공정을 실시하더라도 식각 방지막(303)에 의해 소자 분리막(302)에는 손상이 거의 발생되지 않는다.

- <47> 도 3d를 참조하면, 활성 영역에 형성된 활성 영역층(305)의 표면을 세정한 후 게이트 산화막(306)을 형성한다. 이때, 세정 공정을 실시하더라도 소자 분리막(302)은 식각 방지막(303)에 의해 보호되기 때문에 식각 손상이 발생되지 않는다. 따라서, 소자 분리막(302)의 상부 모서리에는 모우트(Moat)가 발생되지도 않으며, 소자 분리막(302)의 상부 모서리에서 게이트 산화막(306)이 얇게 형성되지도 않는다.
- <48> 도 3e를 참조하면, 통상적으로 이루어지는 공정을 통해 폴리실리콘층(307), 확산방지 금속층(308), 금속층(309) 및 하드 마스크(310)의 적층 구조를 게이트 산화막(306) 상부에 소정의 패턴으로 형성하고, 적층 구조 주변의 활성 영역층(305)에 소오스/드레인(도시되지 않음)을 형성하여 트랜지스터를 제조한다.
- <49> 한편, 첨부된 도면을 참조하여 소자 분리막의 상부 가장 자리에 식각 방지막이 구비된 반도체 소자의 제조 방법에 대한 다른 실시예를 설명하면 다음과 같다.
- <50> 도 4a 내지 도 4f는 본 발명의 다른 실시예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도이다.
- <51> 도 4a를 참조하면, 반도체 기판(401)의 전체 상부에 절연 물질층(402)을 형성한 후, 절연 물질층(402)의 상부에는 고유전 절연막(403)을 순차적으로 형성한다. 여기서, 절연 물질층(402)은 실리콘 산화막으로 형성할 수 있다. 한편, 고유전 절연막(403)은 Al_2O_3 , HfO_2 , ZrO_2 , Y_2O_3 , CeO_2 , Ta_2O_5 또는 이들의 혼합물 중 어느 하나로 형성한다. 고유전 절연막(403)을 형성한 후에는 산화물 습식 식각(Oxide wet-etch)에 대한 내식성을 증가시키기 위하여, N_2 , O_2 , O_3 , H_2 , D_2 (deuterium), H_2O , D_2O , NO , N_2O 또는 그 혼합기

체 등의 분위기에서 600 내지 1000℃의 온도로 20초 내지 60분 동안 어닐링을 실시할 수 있다.

<52> 도 4b를 참조하면, 고유전 절연막(403) 상부에 반도체 소자가 형성될 활성 영역(404)이 개방되는 포토레지스트 패턴(도시되지 않음)을 형성한 후 이를 식각 마스크로 이용하여 활성 영역(404) 영역의 고유전 절연막(403) 및 절연 물질층(402)을 제거한다. 이후, 포토레지스트 패턴을 제거한다. 이로써, 절연물질층은 소자분리 영역에만 잔류되어 절연물질층으로 이루어진 소자 분리막(402)이 반도체 기판(401) 상부에 형성되며, 활성영역(404)에서는 반도체 기판(401)의 표면에 노출된다.

<53> 이후, 활성 영역(404)의 절연물질층을 제거한 후에는 소자 분리막(402)이나 반도체 기판(401)의 표면에 발생된 식각 손상(Etch damage)을 완화시키기 위하여 700 내지 1100℃의 온도로 5 내지 60분 동안 어닐링을 실시할 수 있다. 이때, 어닐링 공정은 N_2 , O_2 , O_3 , H_2 , D_2 (deuterium), H_2O , D_2O , NO , N_2O 또는 그 혼합기체 등의 분위기에서 실시할 수 있다.

<54> 도 4c를 참조하면, 도 3c에서와 동일한 방법으로 활성 영역에 활성 영역층(405)을 형성하여 소자 분리막(402) 사이의 공간을 활성 영역층(405)으로 매립한다. 마찬가지로, 활성 영역(405)을 형성하기 전에 활성 영역(도 4b의 404)의 반도체 기판(401) 표면에 형성된 자연 산화막이나 잔류 산화물을 먼저 제거할 수도 있다.

<55> 한편, 선택적 에피 성장 공정으로 실리콘을 성장시켜 활성 영역층(405)을 형성하는 과정에서 실리콘층을 과도하게 성장시켜 활성 영역층(405)을 소자 분리막(402)의 높이보다 높게 형성한다. 이렇게, 활성 영역층(405)을 소자 분리막(402)보다 높게 형성하면, 실리콘 과도 성장층(405a)이 고유전 절연막(403)의 가장자리 상부에까지 형성되면서 실

리콘 과도 성장층(405a)의 실리콘 성분과 고유전 절연막(403)의 가장자리가 반응하여 고유전 절연막(403)의 가장자리가 규산염으로 변한다. 이로써, 소자 분리막(402)의 상부 가장에 규산염으로 이루어진 식각 방지막(406)이 형성된다.

<56> 또한, 상기에서 활성 영역층(405)을 형성하는 또 다른 방법으로는 실리콘 성장층 대신에 실리콘-게르마늄(Epi-SiGe)층을 성장시켜 활성 영역층(405)을 형성하거나, 실리콘-게르마늄층을 먼저 성장시킨 후 실리콘층을 성장시켜 채널층이 강제 SiGe 채널(Strained SiGe channel)층으로 형성되도록 할 수도 있다.

<57> 도 4d를 참조하면, 식각 방지막(406)을 형성한 후에 화학적 기계적 연마 공정으로 실리콘 과도 성장층(도 4c의 405a)을 제거하여 평탄화시킨다. 화학적 기계적 연마 공정을 실시한 후에는 연마 손상을 완화시키고 소자 분리막(402)과 활성 영역층(405) 사이의 계면 특성을 향상시키기 위하여 700 내지 1100℃의 온도로 5 내지 60분 동안 어닐링을 실시한다. 이때, 어닐링 공정은 H_2 , D_2 , N_2 또는 이들의 혼합 기체 분위기에서 실시한다. 상기에서 화학적 기계적 연마 공정을 실시하더라도 식각 방지막(403)에 의해 소자 분리막(402)에는 손상이 거의 발생되지 않는다.

<58> 도 4e를 참조하면, 활성 영역에 형성된 활성 영역층(405)의 표면을 세정한 후 게이트 산화막(407)을 형성한다. 이때, 세정 공정을 실시하더라도 소자 분리막(402)은 식각 방지막(406)에 의해 보호되기 때문에 식각 손상이 발생되지 않는다. 따라서, 소자 분리막(402)의 상부 모서리에는 모우트(Moat)가 발생되지도 않으며, 소자 분리막(402)의 상부 모서리에서 게이트 산화막(407)이 얇게 형성되지도 않는다.

<59> 도 4f를 참조하면, 통상적으로 이루어지는 공정을 통해 폴리실리콘층(408), 확산방지 금속층(409), 금속층(410) 및 하드 마스크(411)의 적층 구조를 게이트 산화막(407)

상부에 소정의 패턴으로 형성하고, 적층 구조 주변의 활성 영역층(405)에 소오스/드레인 (도시되지 않음)을 형성하여 트랜지스터를 제조한다.

<60> 상기에서 서술한 본 발명의 실시예에 따른 반도체 소자의 제조 방법은 DRAM 소자뿐만 아니라 비휘발성 메모리(Non-volatile memory) 및 로직(Logic) 소자의 STI(Shallow Trench Isolation) 구조를 형성하는 공정에 적용이 가능하며, SEG 방식을 사용하기 때문에 에피 실리콘(Epi-Si) 외에도 에피 실리콘-게르마늄(Epi-SiGe) 등을 사용하는 고속 동작(High-mobility) 소자에도 적용이 가능하다.

【발명의 효과】

<61> 상술한 바와 같이, 본 발명은 소자 분리막의 상부 가장자리에 식각 방지막을 형성하고 선택적 에피 성장(Selective Epitaxial Growth; SEG) 공정을 이용하여 STI 구조의 소자 분리막을 함으로써, 소자 분리막의 상부 가장 자리에 모우트가 발생되고, 게이트 산화막이 얇게 형성되며 누설 전류가 발생하는 것을 근본적으로 방지할 수 있어 공정의 신뢰성 및 소자의 전기적 특성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판의 전체 상부에 절연 물질층 및 식각 방지막을 순차적으로 형성하는 단계;

식각 공정으로 상기 식각 방지막 및 상기 절연 물질층을 소자분리 영역에만 잔류시켜 상기 절연 물질층으로 이루어진 소자 분리막을 형성하는 단계; 및

상기 소자 분리막 사이에 반도체 소자가 형성될 활성 영역층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 식각 방지막은 규산염막 또는 실리콘 질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제 2 항에 있어서,

상기 규산염막은 AlSi_xO_y , HfSi_xO_y , YSi_xO_y , CeSi_xO_y 또는 TaSi_xO_y 으로 이루어지거나, 이들 중 적어도 하나 이상이 혼합된 혼합물로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

제 3 항에 있어서,

상기 조성비 X는 0.05 내지 10이고, 상기 조성비 Y는 0.05 내지 10인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제 1 항에 있어서, 상기 식각 방지막을 형성한 후 상기 식각 공정을 실시하기 전이나, 상기 식각 공정을 실시한 후 상기 활성 영역층을 형성하기 전에,

N_2 , O_2 , O_3 , H_2 , D_2 , H_2O , D_2O , NO , N_2O 또는 그 혼합기체 등의 분위기에서 600 내지 $1000^{\circ}C$ 의 온도로 20초 내지 60분 동안 어닐링을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

반도체 기판의 전체 상부에 절연 물질층 및 고유전 절연막을 순차적으로 형성하는 단계;

식각 공정으로 상기 고유전 절연막 및 상기 절연 물질층을 소자분리 영역에만 잔류시켜 상기 절연 물질층으로 이루어진 소자 분리막을 형성하는 단계; 및

선택적 에피 성장 공정으로 상기 소자 분리막 사이의 상기 반도체 기판 상부에 실리콘이 포함된 활성 영역층을 과도하게 성장시켜 상기 활성 영역층을 상기 고유전 절연막의 상부 가장자리에까지 형성하고, 상기 활성 영역층의 실리콘 성분과 상기 고유전 절

연막의 반응을 통해 상기 소자 분리막의 상부 가장자리에 식각 방지막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제 6 항에 있어서,

상기 고유전 절연막은 Al_2O_3 , HfO_2 , ZrO_2 , Y_2O_3 , CeO_2 , Ta_2O_5 또는 이들의 혼합물 중 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

제 6 항에 있어서,

상기 식각 방지막은 규산염막으로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

제 1 항 또는 제 6 항에 있어서,

상기 활성 영역층은 선택적 에피 성장 공정으로 형성하며, 실리콘층을 성장시키거나, 실리콘-게르마늄층을 성장시키거나, 실리콘-게르마늄층을 먼저 성장시킨 후 실리콘층을 성장시켜 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 10】

제 9 항에 있어서,

상기 선택적 에피 성장 공정에서 SiH_4 또는 SiH_2Cl_2 와 Cl_2 기체를 반응기체로 사용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 11】

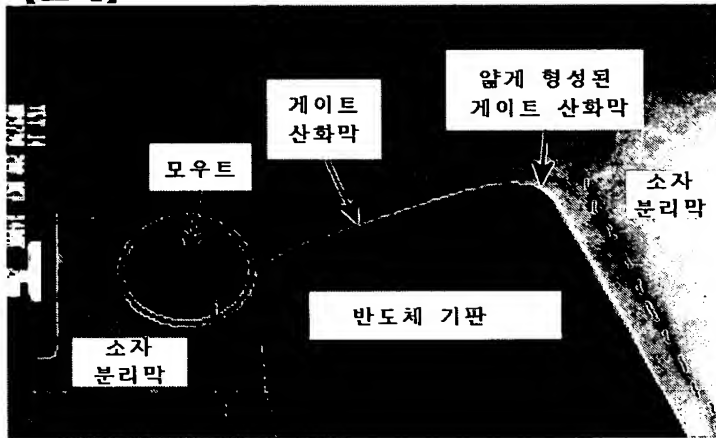
제 1 항 또는 제 6 항에 있어서, 상기 활성 영역층을 형성한 후에,

상기 소자 분리막보다 높게 형성된 활성 영역층을 화학적 기계적 연마 공정으로 제거하는 단계; 및

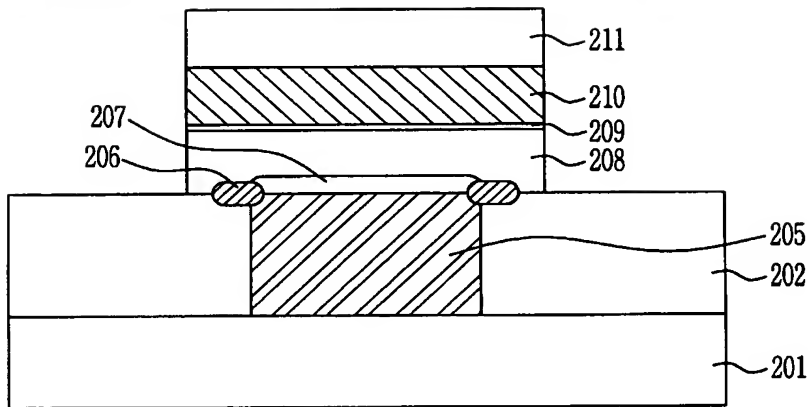
연마 손상을 완화시키고 상기 소자 분리막과 상기 활성 영역층 사이의 계면 특성을 향상시키기 위하여 어닐링을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

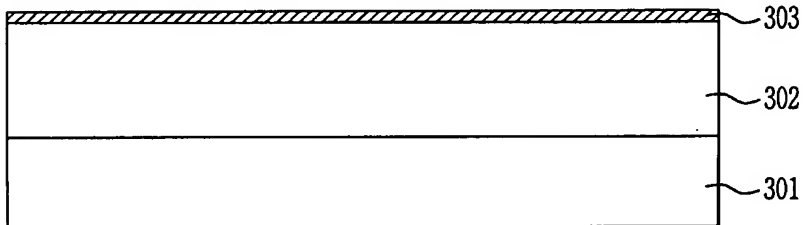
【도 1】



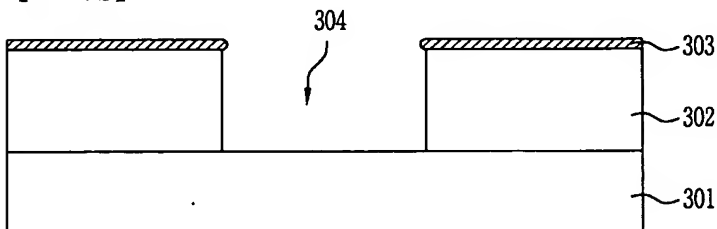
【도 2】



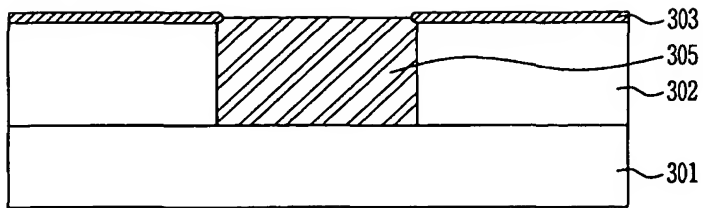
【도 3a】



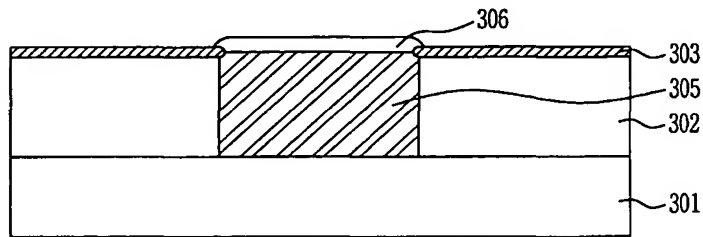
【도 3b】



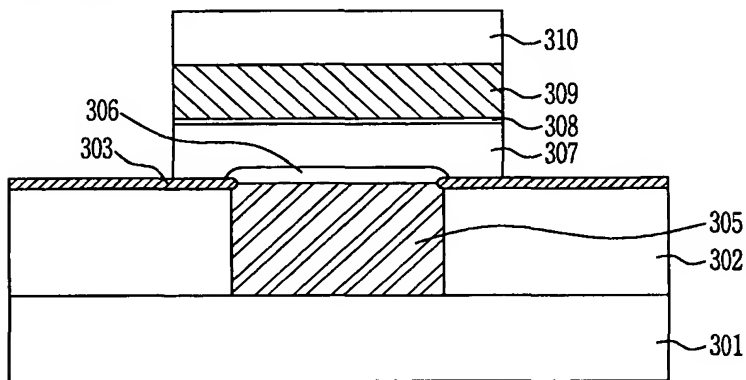
【도 3c】



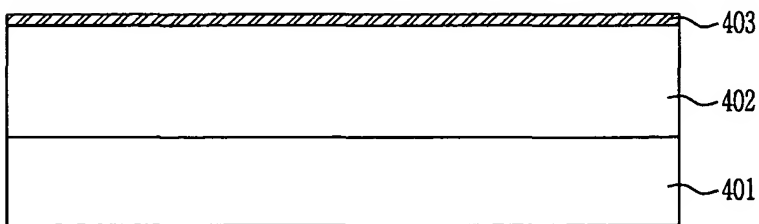
【도 3d】



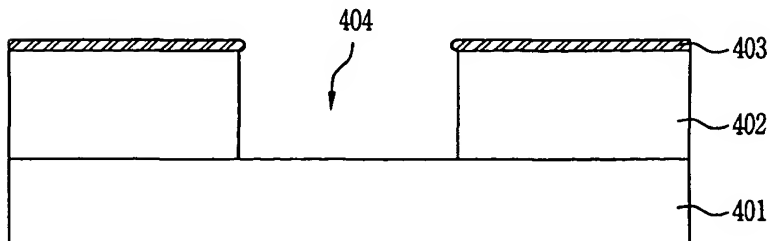
【도 3e】



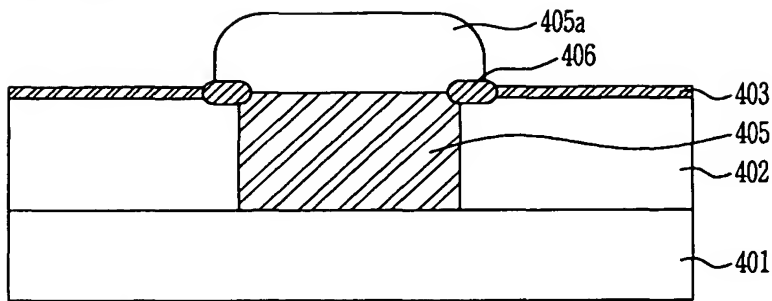
【도 4a】



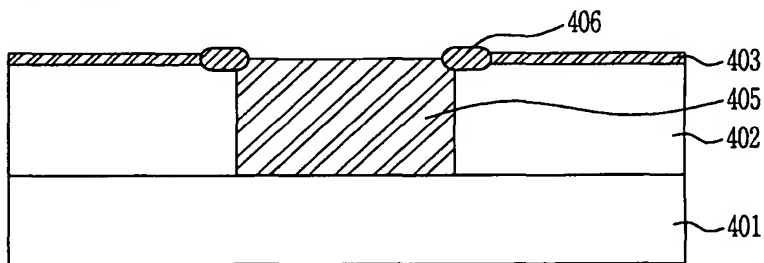
【도 4b】



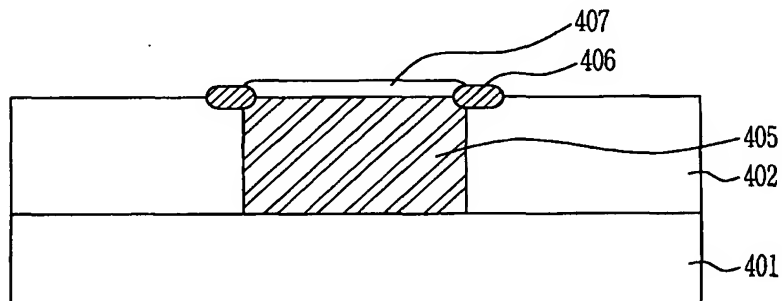
【도 4c】



【도 4d】



【도 4e】



【도 4f】

